

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月    7 日  
Date of Application:

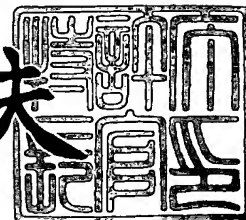
出 願 番 号                      特 願 2 0 0 3 - 0 6 1 1 2 6  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 6 1 1 2 6 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 1 月 2 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 0241317

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/00

【発明の名称】 ジッター発生回路及び半導体装置

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ  
                                ィエルエスアイ株式会社内

    【氏名】 斉藤 輝彦

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100068755

    【弁理士】

    【氏名又は名称】 恩田 博宣

【選任した代理人】

    【識別番号】 100105957

    【弁理士】

    【氏名又は名称】 恩田 誠

【先の出願に基づく優先権主張】

    【出願番号】 特願2002-220129

    【出願日】 平成14年 7月29日

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ジッター発生回路及び半導体装置

【特許請求の範囲】

【請求項 1】 一定周期で電圧レベルが変化する基準入力信号を入力し、該基準入力信号にジッターを付加して出力するジッター発生回路であって、

前記基準入力信号に応じて、出力を第 1 レベルまたは第 2 レベルに変化させる回路を含み、該回路は、しきい値電圧を切り替え可能に形成され、そのしきい値電圧の切り替えにより、ジッターを付加した出力信号を出力することを特徴とするジッター発生回路。

【請求項 2】 ヒステリシス特性を持つヒステリシスインバータ回路と、

ヒステリシス特性を持たないインバータ回路と、

前記出力信号を出力するための出力端子と前記各インバータ回路との間に設けられたスイッチ回路と、

を備え、前記スイッチ回路により、前記出力端子に接続するインバータ回路を切り替えることを特徴とする請求項 1 に記載のジッター発生回路。

【請求項 3】 複数のトランジスタにより構成されたヒステリシスインバータ回路と、

前記ヒステリシスインバータ回路にてヒステリシスを持たすために設けられたトランジスタを該インバータ回路から切断するためのスイッチとを備えたことを特徴とする請求項 1 に記載のジッター発生回路。

【請求項 4】 しきい値電圧が異なる複数のゲート回路を並列接続し、

前記出力信号を出力するための出力端子と前記各ゲート回路との間に設けたスイッチ回路によって、各ゲート回路のいずれか 1 つを選択的に前記出力端子に接続するようにしたことを特徴とする請求項 1 に記載のジッター発生回路。

【請求項 5】 請求項 1～4 のいずれか 1 項に記載のジッター発生回路と、該ジッター発生回路から出力される出力信号に基づいて動作する内部回路とを備えたことを特徴とする半導体装置。

【請求項 6】 請求項 1～4 のいずれか 1 項に記載のジッター発生回路と、前記ジッター発生回路への入力信号となるクロック信号が供給される第 1 内部

回路と、

前記第1内部回路よりも動作タイミングに余裕がある回路であり、前記ジッター発生回路においてジッターが付加されたクロック信号が供給される第2内部回路と

を備えたことを特徴とする半導体装置。

【請求項7】 クロック信号を入力し、該クロック信号にジッターを付加して出力するジッター発生回路と、

前記ジッター発生回路への入力信号となるクロック信号が供給される第1内部回路と、

前記第1内部回路よりも動作タイミングに余裕がある回路であり、前記ジッター発生回路においてジッターが付加されたクロック信号が供給される第2内部回路と

を備えたことを特徴とする半導体装置。

【請求項8】 前記第1内部回路を動作させるための第1クロック信号を分周し、該第1クロック信号よりも低い周波数である第2クロック信号を生成して前記ジッター発生回路に入力する分周回路を備えたことを特徴とする請求項6又は7に記載の半導体装置。

【請求項9】 前記ジッター発生回路を複数備え、該各ジッター発生回路においてクロック信号に付加するジッターの量を異ならせるようにしたことを特徴とする請求項6～8のいずれか1項に記載の半導体装置。

【請求項10】 前記ジッター発生回路は、内部回路の動作状態に応じてクロック信号に付加するジッターの量を調節する機能を有することを特徴とする請求項6～9のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号等の信号に対してジッターを付加して出力するジッター発生回路、及びそのジッター発生回路を備える半導体装置に関するものである。

## 【0002】

近年、半導体装置（LSI）において、高集積化、高周波化が図られており、それに伴い、EMI（電磁妨害）等によるノイズの発生が問題となっている。このノイズ対策として、CPUやその周辺回路を動作させるためのクロック信号にジッター（時間軸方向の揺れ）を付加することで、ノイズのピークを分散させるようにした装置が提案されている。このジッターを付加するための回路を低コストで実現し、かつ、信号周波数に応じた的確なジッターを発生できる技術が望まれている。

## 【0003】

## 【従来の技術】

半導体装置を構成するCPUやその周辺回路などは、クロック信号に同期して動作し、回路動作時の駆動電流によりノイズが放射されることが知られている。特に、半導体装置のクロック信号が高周波となると、そのクロック信号の周波数にて非常に大きなピークを持つ放射ノイズが発生するため、該ノイズによる回路誤動作が問題となる。

## 【0004】

特許文献1や特許文献2等では、クロック信号の位相を変調すること、すなわち、クロック信号にジッターを与えることで、クロック周波数の拡散効果による放射ノイズの低減を図るようにした技術が開示されている。

## 【0005】

特許文献1の装置は、直列接続された複数の遅延回路と、各遅延回路の出力にタップを介して接続されたマルチプレクサとを備える。各遅延回路からタップを介してマルチプレクサに入力されるクロック信号は、基準位相に対してそれぞれ位相遅延された信号となり、同マルチプレクサを制御することにより、それら位相遅延された信号のいずれかが選択的に出力される。

## 【0006】

特許文献2の装置は、デジタル・アナログ変換器（DAC）や、該DACの入力の変化に応じて発振周波数を変える電圧制御式発振器（VCO）等を備える。VCOはアナログスイッチを含み、DACによりアナログスイッチのゲート電圧

を変化させることにより、アナログスイッチのインピーダンスが変化する。これにより、基準のクロック信号に対してジッターを付加するようにしている。

#### 【0007】

また従来では、図14に示すような半導体装置71が実用化されている。具体的に、半導体装置71において、クロック信号CLKがジッター発生回路72に入力され、クロック信号CLKに対してジッターが付加される。そして、ジッターが付加されたクロック信号GCLK1がジッター発生回路72からCPU73や周辺回路（例えば、シリアルIO74、RAM75、カウンタ76、タイマー77、パラレルIO78）に供給される。

#### 【0008】

さらに、特許文献3では、半導体装置において複数に分割された内部論理回路の各々に、デューティ比の異なるクロック信号を供給することにより、放射ノイズの低減を図るようにした技術が開示されている。

#### 【0009】

##### 【特許文献1】

特開平7-202652号公報

##### 【特許文献2】

特開平9-98152号公報

##### 【特許文献3】

特開平11-110067号公報

#### 【0010】

##### 【発明が解決しようとする課題】

ところで、一般的な半導体装置は、所定範囲内の異なるクロック周波数で動作可能に設計されている。しかし、特許文献1の装置では、遅延回路に応じた固定の遅延時間が設定されてしまうため、クロック周波数が変更されると、その周波数に対応した的確なジッターを付加することができない。さらに、同装置では、遅延回路に加え、マルチプレクサやそのマルチプレクサを制御する回路が必要となるため、回路ロジックが複雑になる。特許文献2の装置でも、DCOやその発振周波数を変化させるための周辺回路(DAC)が必要となり、回路規模が増大す

るといった問題が生じていた。

【0011】

また、図14の半導体装置71において、ジッターを付加したクロック信号GCLKがCPU73や周辺回路等のシステム全体に供給されており、そのシステムは一律なジッターを含んだクロック信号GCLKに基づいて動作される。この半導体装置71においては、タイミングにシビアな回路（CPU73、シリアルIO74等）を含むことから、その回路の誤動作を考慮すると放射ノイズを低減させるための最適なジッターをクロック信号CLKに付加することができない。

【0012】

さらに、特許文献3の装置のように、デューティ比の異なるクロック信号を供給するものでは、EMIのスペクトラムを分散させることが可能な範囲が狭く、ノイズ低減の効果を十分に得ることができない。

【0013】

本発明は上記問題点を解決するためになされたものであって、その目的は、的確なジッターを付加して放射ノイズを効果的に低減できるジッター発生回路及び半導体装置を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明では、回路のしきい値電圧を切り替えることにより、基準入力信号の周期に応じた一定間隔のタイミングに対して出力レベルの反転タイミングが変更される。これにより、基準入力信号に対してジッターを付加した出力信号が出力される。この構成によれば、従来技術と比較して簡素な回路構成で基準入力信号にジッターを付加することが可能となる。また、基準入力信号の周波数が変化した場合、出力信号のジッターは、その基準入力信号の周波数に応じて変化する。

【0015】

請求項2に記載の発明によれば、ヒステリシス特性を持つヒステリシスインバータ回路と、ヒステリシス特性を持たないインバータ回路と、出力端子と各インバータ回路との間に設けられたスイッチ回路とを備え、スイッチ回路によって、



出力端子に接続するインバータ回路が切り替えられる。これにより、しきい値電圧が切り替えられて、出力信号にジッターを発生させることが可能となる。

【0016】

請求項3に記載の発明によれば、ヒステリシスインバータ回路が複数のトランジスタにより構成される。ヒステリシスインバータ回路にてヒステリシスを持たすために設けられたトランジスタがスイッチによりインバータ回路から切断される。これにより、しきい値電圧が切り替えられて、出力信号にジッターを発生させることが可能となる。

【0017】

請求項4に記載の発明によれば、しきい値電圧が異なる複数のゲート回路が並列に接続され、スイッチ回路によって、各ゲート回路のいずれか1つが選択的に出力端子に接続される。これにより、しきい値電圧が切り替えられて、出力信号にジッターを発生させることが可能となる。

【0018】

請求項5に記載の発明によれば、ジッター発生回路によってジッターを付加した出力信号が出力され、その出力信号に基づいて内部回路を動作させることにより、内部回路の動作時に発生する放射ノイズが効果的に低減される。

【0019】

請求項6, 7に記載の発明によれば、クロック信号にジッターを付加するためのジッター発生回路と第1及び第2内部回路とを備える。そして、動作タイミングの厳しい第1内部回路には、ジッター発生回路の入力信号となるクロック信号、すなわち、ジッターを付加する前の正確なクロック信号が供給される。また、動作タイミングに余裕がある第2内部回路には、ジッター発生回路にてジッターを付加したクロック信号が供給される。この場合、動作タイミングの厳しい第1内部回路をより高速に動作させることが可能となる。また、動作タイミングに余裕がある第2内部回路へのクロック信号には大きなジッターを付加することができ、放射ノイズが効果的に低減される。よって、回路動作の高速化と放射ノイズの低減との両立を図ることが可能となる。

【0020】

請求項 8 に記載の発明によれば、分周回路により、第 1 内部回路を動作させるための第 1 クロック信号が分周され、該第 1 クロック信号よりも低い周波数である第 2 クロック信号が生成される。そして、その第 2 クロック信号がジッター発生回路に入力され、その第 2 クロック信号にジッターが付加される。この場合、第 2 クロック信号は、第 1 クロック信号よりも周波数が低いため、より大きなジッターを付加することができ、放射ノイズが効果的に低減される。

#### 【0021】

請求項 9 に記載の発明によれば、ジッター発生回路を複数備え、クロック信号に付加するジッターの量を異ならせることにより、内部回路の動作速度等に応じてジッター量の異なるクロック信号を使い分けることが可能となる。このようにすると、ジッターを付加したクロック信号に基づいて動作する第 2 内部回路の割合を増やすことができ、放射ノイズをより効果的に低減することが可能となる。

#### 【0022】

請求項 10 に記載の発明によれば、内部回路の動作状態に応じてクロック信号に付加するジッターの量が調節されるので、放射ノイズがより効果的に低減される。

#### 【0023】

##### 【発明の実施の形態】

##### (第 1 実施形態)

以下、本発明を半導体装置に具体化した第 1 実施形態を図面に従って説明する。

#### 【0024】

図 1 に示すように、半導体装置 1 は、クロック生成回路 2 と、ジッター発生回路 3 と、選択信号生成回路 4 と、内部回路 5 とを含む。クロック生成回路 2 は、水晶発振子による発振信号に基づいて、基準入力信号としての入力クロック信号 CLK IN を生成し出力する。本実施形態において、クロック生成回路 2 から出力される入力クロック信号 CLK IN は、図 2 に示すように、一定の周期 T にて略正弦波状に変化する。

#### 【0025】

クロック生成回路 2 と内部回路 5 との間に、ジッター発生回路 3 が設けられており、同ジッター発生回路 3 は、クロック生成回路 2 からの入力クロック信号 CLK IN に対してジッター（時間軸方向の揺れ）を付加した出力クロック信号 CLK OUT を内部回路 5 に出力する。

#### 【0026】

内部回路 5 は、周知の CPU 5 a やその周辺回路 5 b（例えば、RAM、ROM、入出力回路等）を備え、ジッター発生回路 3 からの出力クロック信号 CLK OUT に基づいて動作する。

#### 【0027】

選択信号生成回路 4 は、図示しないフリップフロップ回路を備え、クロック生成回路 2 からの入力クロック信号 CLK IN に基づいて、選択信号 VTSEL を生成しジッター発生回路 3 に出力する。図 2 に示すように、選択信号 VTSEL の電圧レベルは、入力クロック信号 CLK IN の周期 T に対応するタイミング（具体的には、入力クロック信号 CLK IN のレベルが最大値となるタイミング）で H レベルまたは L レベルに変化する。

#### 【0028】

本実施形態のジッター発生回路 3 は、ヒステリシス特性を持たない通常のインバータ回路 6 と、ヒステリシス特性を持つヒステリシスインバータ回路 7 と、スイッチ回路 8 とを備える。ジッター発生回路 3 には、クロック生成回路 2 からの入力クロック信号 CLK IN を入力する第 1 入力端子 3 a と、選択信号生成回路 4 からの選択信号 VTSEL を入力する第 2 入力端子 3 b と、出力クロック信号 CLK OUT を出力する出力端子 3 c とが設けられている。

#### 【0029】

ジッター発生回路 3 において、第 1 入力端子 3 a にインバータ回路 6 及びヒステリシスインバータ回路 7 が接続されており、各インバータ回路 6, 7 に入力クロック信号 CLK IN が入力される。また、インバータ回路 6 及びヒステリシスインバータ回路 7 はスイッチ回路 8 を介して出力端子 3 c に接続されている。

#### 【0030】

ヒステリシスインバータ回路 7 のしきい値電圧（スレッシュホールド電圧）は、出

力をHレベル（第1レベル）からLレベル（第2レベル）に切り替える場合、インバータ回路6のしきい値電圧よりも高く、出力をHレベルからLレベルに切り替える場合、インバータ回路6のしきい値電圧よりも低い。

#### 【0031】

インバータ回路6の出力は、図2において、入力クロック信号CLKINが電圧値VH1よりも高くなるときにHレベルからLレベルに変化し、入力クロック信号CLKINが電圧値VL1よりも低くなるときにLレベルからHレベルに変化する。一方、ヒステリシスインバータ回路7の出力は、入力クロック信号CLKINが電圧値VH2よりも高くなるときにHレベルからLレベルに変化し、入力クロック信号CLKINが電圧値VL2よりも低くなるときにLレベルからHレベルに変化する。各電圧値の関係は、 $VH2 > VH1 > VL1 > VL2$ である。

#### 【0032】

スイッチ回路8は、選択信号VTSELの電圧レベルに応じて、インバータ回路6またはヒステリシスインバータ回路7のいずれか一方を出力端子3cに接続する。具体的に、スイッチ回路8は、選択信号VTSELがHレベルである場合、インバータ回路6と出力端子3cとを接続し、選択信号VTSELがLレベルである場合、ヒステリシスインバータ回路7と出力端子3cとを接続する。

#### 【0033】

従って、ジッター発生回路3では、図2に示すように、入力クロック信号CLKINに応じて出力クロック信号CLKOUTがHレベルまたはLレベルに変化する。詳しくは、時刻t1以前では、選択信号VTSELがHレベルであり、インバータ回路6がスイッチ回路8を介して出力端子3cに接続されている。そのため、入力クロック信号CLKINの電圧レベルが電圧値VH1よりも高くなる時刻t1にて出力クロック信号CLKOUTがHレベルからLレベルに変化する。

#### 【0034】

その後、選択信号VTSELがLレベルとなり、ヒステリシスインバータ回路7がスイッチ回路8を介して出力端子3cに接続されるため、入力クロック信号

CLKINの電圧レベルが電圧値VL2よりも低くなる時刻t2にて出力クロック信号CLKOUTがLレベルからHレベルに変化する。続く時刻t3において、入力クロック信号CLKINの電圧レベルが電圧値VH2よりも高くなると、出力クロック信号CLKOUTがHレベルからLレベルに変化する。

#### 【0035】

時刻t3と時刻t4との間で、選択信号VTSELがHレベルとなり、インバータ回路6がスイッチ回路8を介して出力端子3cに接続されるため、入力クロック信号CLKINの電圧レベルが電圧値VL1よりも低くなる時刻t4にて出力クロック信号CLKOUTがLレベルからHレベルに変化する。そして、時刻t5においても時刻t1と同様に、入力クロック信号CLKINの電圧レベルが電圧値VH1よりも高くなると、出力クロック信号CLKOUTがHレベルからLレベルに変化する。また、時刻t6において、入力クロック信号CLKINの電圧レベルが電圧値VL2よりも低くなると、出力クロック信号CLKOUTがLレベルからHレベルに変化する。

#### 【0036】

すなわち、ジッター発生回路3の出力クロック信号CLKOUTは、時刻t1～t2の期間T1でLレベルとなり、時刻t2～t3の期間T2でHレベルとなる。また、時刻t3～t4の期間T3でLレベル、時刻t4～t5の期間T4でHレベル、時刻t5～t6の期間T5でLレベルとなる。期間T1は、期間T2よりも長く、該期間T2は、期間T3も長い( $T1 > T2 > T3$ )。また、期間T4は期間T2と等しく、期間T5は期間T1と等しい。

#### 【0037】

このように、本実施形態のジッター発生回路3では、選択信号VTSELに基づいてスイッチ回路8の接続位置が切り替えられ、しきい値電圧が異なるインバータ回路6, 7のいずれか一方が出力端子3cに接続される。これにより、ジッター発生回路3のしきい値電圧が変更されることとなり、入力クロック信号CLKINの周期Tに応じた一定間隔のタイミングに対して出力レベルの反転タイミングが変化する。その結果、ジッターを付加した出力クロック信号CLKOUTがジッター発生回路3から出力される。

**【0038】**

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) ジッター発生回路3は、インバータ回路6、ヒステリシスインバータ回路7、及びスイッチ回路8により構成されている。この場合、従来技術と比較して簡素な回路構成でジッターを付加することができる。また、半導体装置1の用途などによって、入力クロック信号CLKINの周波数が変更される場合、出力クロック信号CLKOUTのジッターはその周波数に応じて変化し、入力クロック信号CLKINに対するジッターの比率を略一定に維持できる。よって、半導体装置1の放射ノイズを効果的に低減することができる。

**【0039】**

(2) シンプルな回路でジッター発生回路3を構成できることから、半導体装置1の製造コストを低減することができる。

(3) 選択信号生成回路4は、クロック生成回路2からの入力クロック信号CLKINに基づき選択信号VTSELを生成し、同選択信号VTSELによってスイッチ回路8の接続位置を切り替えるようにした。このようにすれば、入力クロック信号CLKINに応じた的確な選択信号VTSELを生成できる。また、選択信号生成回路4は、フリップフロップ回路を用いた比較的シンプルな回路構成であるので、実用上好ましいものとなる。

**【0040】****(第2実施形態)**

以下、本発明を具体化した第2実施形態を説明する。本実施形態の半導体装置は、第1実施形態におけるジッター発生回路3に代えて、図3に示すジッター発生回路11を備えている。なお、半導体装置を構成するクロック生成回路2、選択信号生成回路4、及び内部回路5は第1実施形態と同一であるためその詳細な説明は省略する。

**【0041】**

図3に示すように、ジッター発生回路11には、クロック生成回路2からの入力クロック信号CLKINを入力する第1入力端子11aと、選択信号生成回路4からの選択信号VTSELを入力する第2入力端子11bと、出力クロック信

号CLKOUTを出力する出力端子11cとが設けられている。

【0042】

ジッター発生回路11は、PチャネルMOSトランジスタTP1～TP4及びNチャネルMOSトランジスタTN1～TN4とにより構成されている。ジッター発生回路11において、電源VccとグランドGNDとの間に、PチャネルMOSトランジスタTP1、TP2とNチャネルMOSトランジスタTN1、TN2とが直列に接続されている。これらトランジスタTP1、TP2、TN1、TN2の各ゲート端子は、第1入力端子11aに接続され、各ゲート端子には入力クロック信号CLKINが入力される。トランジスタTP1とトランジスタTP2との間の接続部は、PチャネルMOSトランジスタTP3及びNチャネルMOSトランジスタTN4を介してグランドGNDに接続されている。また、トランジスタTN1とトランジスタTN2との間の接続部は、NチャネルMOSトランジスタTN3及びPチャネルMOSトランジスタTP4を介して電源Vccに接続されている。

【0043】

トランジスタTP3のゲート端子はトランジスタTN3のゲート端子と接続され、その接続部は、トランジスタTP2とトランジスタTN1との間、及び出力端子11cに接続されている。また、トランジスタTN4及びトランジスタTP4のゲート端子は第2入力端子11bに接続され、それらゲート端子には、選択信号生成回路4で生成された選択信号VTSELが入力される。

【0044】

ジッター発生回路11において、トランジスタTP3、TP4、TN3、TN4を除く回路、つまり、トランジスタTP1、TP2、TN1、TN2とからなる回路は、通常のインバータ回路として機能する。また、ジッター発生回路11において、トランジスタTN4を省略してトランジスタTP3をグランドGNDに接続し、トランジスタTP4を省略してトランジスタTN3を電源Vccに接続する場合には、ヒステリシスインバータ回路として機能する。トランジスタTP3とトランジスタTN3は、トランジスタTP1、TP2、TN1、TN2により構成されるインバータ回路に対して、ヒステリシス特性を持たすためのトラ

ンジスタである。また、トランジスタTN4及びトランジスタTP4は、トランジスタTP3及びトランジスタTN3をインバータ回路から切断するためのスイッチの役割を果たす。

#### 【0045】

ジッター発生回路11において、選択信号VTSELがHレベルであり、トランジスタTN4がオンする場合、出力クロック信号CLKOUTをLレベルからHレベルに変化させるためのしきい値電圧が低くなる。一方、選択信号VTSELがLレベルであり、トランジスタTP4がオンする場合、出力クロック信号CLKOUTをHレベルからLレベルに変化させるためのしきい値電圧は高くなる。

#### 【0046】

詳しくは、ジッター発生回路11にHレベルの選択信号VTSELが入力される場合、トランジスタTN4はオンし、トランジスタTP4はオフする。この状態で、入力クロック信号CLKINの電圧レベルが高く、出力端子11c（出力クロック信号CLKOUT）がLレベルであるとき、トランジスタTP3はオンする。従って、出力端子11cをLレベルからHレベルとするためのしきい値電圧は、トランジスタTP1, TP2, TN1, TN2とからなるインバータ回路のしきい値電圧よりも低くなる。また、入力クロック信号CLKINの電圧レベルが低く、出力端子11cがHレベルであるとき、トランジスタTP3はオフする。このとき、トランジスタTP4はオフであるので、トランジスタTN3には電源Vccが供給されず、同トランジスタTN3がインバータ回路から切断された状態となっている。よって、出力端子11cをHレベルからLレベルとするためのしきい値電圧は、トランジスタTP1, TP2, TN1, TN2とからなるインバータ回路のしきい値電圧と等しい。

#### 【0047】

一方、ジッター発生回路11にLレベルの選択信号VTSELが入力される場合、トランジスタTN4はオフし、トランジスタTP4はオンする。この状態では、出力端子11cをHレベルからLレベルとするためのしきい値電圧は、トランジスタTP1, TP2, TN1, TN2とからなるインバータ回路のしきい値



電圧よりも高くなる。また、出力端子 11c を L レベルから H レベルとするためのしきい値電圧は、トランジスタ TP1, TP2, TN1, TN2 とからなるインバータ回路のしきい値電圧と等しい。

#### 【0048】

従って、ジッター発生回路 11 では、図 4 に示すように、選択信号 VTSEL が H レベルである場合、入力クロック信号 CLKIN が電圧値 VH1 よりも高くなる時（時刻 t11, t15）、出力クロック信号 CLKOUT は H レベルから L レベルに変化する。また、選択信号 VTSEL が H レベルであり、入力クロック信号 CLKIN が電圧値 VL2 よりも低くなる時（時刻 t14）、出力クロック信号 CLKOUT は L レベルから H レベルに変化する。

#### 【0049】

一方、選択信号 VTSEL が L レベルである場合、入力クロック信号 CLKIN が電圧値 VH2 よりも高くなる時（時刻 t13）、出力クロック信号 CLKOUT は H レベルから L レベルに変化する。また、選択信号 VTSEL が L レベルであり、入力クロック信号 CLKIN が電圧値 VL1 よりも低くなる時（時刻 t12, t16）、出力クロック信号 CLKOUT は L レベルから H レベルに変化する。

#### 【0050】

すなわち、ジッター発生回路 11 の出力クロック信号 CLKOUT は、時刻 t11 ~ t12 の期間 T11 で L レベルとなり、時刻 t12 ~ t13 の期間 T12 で H レベルとなる。また、時刻 t13 ~ t14 の期間 T13 で L レベル、時刻 t14 ~ t15 の期間 T14 で H レベル、時刻 t15 ~ t16 の期間 T15 で L レベルとなる。ここで、期間 T11 は、期間 T13 及び期間 T15 と等しく、期間 T12 よりも短い ( $T11 = T13 = T15 < T12$ )。また、期間 T14 は、期間 T11 も短い ( $T11 > T14$ )。

#### 【0051】

このように、本実施形態のジッター発生回路 11 においても、選択信号 VTSEL に応じてしきい値電圧が変更されるため、入力クロック信号 CLKIN の周期 T に応じた一定間隔のタイミングに対して出力レベルの反転タイミングが変化

する。それにより、ジッターを付加した出力クロック信号CLKOUTが出力される。

#### 【0052】

以上記述したように、上記実施形態によれば、下記の効果を奏する。

(1) ジッター発生回路11は、MOSトランジスタTP1～TP4, TN1～TN4によって構成されている。この場合、従来技術と比較して簡素な回路構成でジッターを付加することができる。また、入力クロック信号CLKINの周波数が増加される場合、出力クロック信号CLKOUTのジッターは、周波数に応じて変化するため、半導体装置1の放射ノイズを効果的に低減することができる。

#### 【0053】

上記第1及び第2実施形態は、次に示すように変更することもできる。

・上記第1及び第2実施形態のジッター発生回路3, 11に代えて、図5に示すジッター発生回路21や図6に示すジッター発生回路31を用いてもよい。

#### 【0054】

詳しくは、図5のジッター発生回路21は、ヒステリシス特性を持たない通常のナンド回路22と、ヒステリシス特性をもつナンド回路23と、インバータ回路24とを備える。ジッター発生回路21には、入力クロック信号CLKINを入力する第1入力端子21aと、制御信号CNTLを入力する第2入力端子21bと、出力クロック信号CLKOUTを出力する出力端子21cとが設けられている。第1入力端子21aは、ナンド回路22及びナンド回路23の一方の入力端子に接続され、第2入力端子21bは、ナンド回路22の他方の入力端子に接続されるとともに、インバータ回路24を介してナンド回路23の他方の入力端子に接続されている。また、ナンド回路22及びナンド回路23は、出力端子21cに接続されている。

#### 【0055】

このジッター発生回路21においても、上記各実施形態と同様に、制御信号CNTLの電圧レベルに応じてしきい値電圧が変更されることとなり、ジッターを付加した出力クロック信号CLKOUTを出力することができる。

## 【0056】

図6のジッター発生回路31は、PチャネルMOSトランジスタTP5及びNチャネルMOSトランジスタTN5からなる第1のインバータ回路32、PチャネルMOSトランジスタTP6及びNチャネルMOSトランジスタTN6からなる第2のインバータ回路33、スイッチ回路34を備える。また、ジッター発生回路31には、クロック生成回路2からの入力クロック信号CLKINを入力する第1入力端子31aと、選択信号生成回路4からの選択信号VTSELを入力する第2入力端子31bと、出力クロック信号CLKOUTを出力する出力端子31cとが設けられている。第1入力端子31aには第1及び第2のインバータ回路32、33が接続されており、各回路32、33は、スイッチ回路34を介して出力端子31cに接続されている。スイッチ回路34は、選択信号VTSELの電圧レベルに応じて、第1又は第2のインバータ回路32、33のいずれか一方を出力端子31cに接続する。

## 【0057】

また、ジッター発生回路31では、第1のインバータ回路32のしきい値電圧 $V_{th1}$ は、第2のインバータ回路33のしきい値電圧 $V_{th2}$ よりも低くなるよう設定されている。具体的に、第1のインバータ回路32ではトランジスタTP5の駆動能力をトランジスタTN5の駆動能力よりも小さくし、第2のインバータ回路33ではトランジスタTP6の駆動能力をトランジスタTN6の駆動能力よりも大きくしている。なお、各トランジスタTP5、TP6、TN5、TN6の駆動能力は、ゲート長を変更することにより調整する。

## 【0058】

このジッター発生回路31においても、上記各実施形態と同様に、選択信号VTSELの電圧レベルに応じてしきい値電圧が変更されることとなり、ジッターを付加した出力クロック信号CLKOUTを出力することができる。

## 【0059】

なお、ジッター発生回路31は、しきい値電圧の異なる2つのインバータ回路32、33を並列接続するものであるが、しきい値電圧の異なる3つ以上のインバータ回路を並列接続したジッター発生回路を構成してもよい。この場合にも、

出力端子と各インバータ回路との間にスイッチ回路を設け、同スイッチ回路によって、各インバータ回路のいずれか1つを選択的に出力端子に接続するよう構成する。

#### 【0060】

・クロック生成回路2にて生成されるクロック信号が矩形波状である場合には、図7に示すように、コンデンサCと抵抗RとからなるCR回路41をクロック生成回路2とジッター発生回路3、11、21、31との間に設けるようにする。このようにすれば、矩形波状のクロック信号CLKがCR回路41を通過することで正弦波状になだらかに変化する。その結果、ジッター発生回路3、11、21、31において、クロック信号CLKに応じた適切なジッターを付加することが可能となる。

#### 【0061】

・上記各実施形態では、内部回路5（CPU5aやその周辺回路5b）を動作させるためのクロック信号に適用するものであったが、これ以外に、例えば、データ通信において用いられる同期信号等に適用してもよい。

#### 【0062】

（第3実施形態）

図8は、第3実施形態の半導体装置51を示す構成図である。

半導体装置51は、ジッター発生回路52、CPU53、シリアルインターフェース（シリアルIO）54、RAM55、カウンタ56、タイマー57、パラレルインターフェース（パラレルIO）58を含む。

#### 【0063】

半導体装置51に含まれる各回路のうち、CPU53、シリアルIO54、RAM55は、動作タイミングの厳しい回路（第1内部回路）であり、カウンタ56、タイマー57、パラレルIO58は、動作タイミングに比較的余裕がある回路（第2内部回路）である。

#### 【0064】

半導体装置51において、外部からのクロック信号CLKがジッター発生回路52、CPU53、シリアルIO54、RAM55に入力される。ジッター発生

回路 52 は、クロック信号 CLK に対してジッターを付加し、そのジッターを付加したクロック信号 GCLK をカウンタ 56、タイマー 57、パラレル IO 58 に供給する。なお、ジッター発生回路 52 としては、上記各実施形態のジッター発生回路 3, 11, 21, 31 を用いてもよいし、一般的なジッター発生回路を用いてもよい。

#### 【0065】

半導体装置 51 では、ジッター発生回路の入力信号となるクロック信号、すなわち、ジッターを付加しない正確なクロック信号 CLK が動作タイミングの厳しい第 1 内部回路（CPU 53、シリアル IO 54、RAM 55）に供給されるため、各回路 53, 54, 55 を高速に動作させることができる。

#### 【0066】

また、ジッター発生回路 52 でジッターを付加したクロック信号 GCLK が動作タイミングに余裕がある第 2 内部回路（カウンタ 56、タイマー 57、パラレル IO 58）に供給される。図 14 に示す従来の半導体装置 71 のように、ジッターを付加したクロック信号 GCLK によりシステム全体を動作させる場合、クロック信号 CLK に付加することができるジッターの量としては比較的狭い範囲でしか設定することができない。これに対して、本実施形態では、動作タイミングに余裕がある回路のみに、ジッターを付加したクロック信号 GCLK を供給するようにしたので、より大きなジッターをクロック信号 GCLK に付加することが可能となり、放射ノイズを効果的に低減することができる。

#### 【0067】

このように、本実施形態の半導体装置 51 では、回路動作の高速化と放射ノイズの低減との両立を図ることができる。

#### （第 4 実施形態）

図 9 は、第 4 実施形態の半導体装置 61 を示す構成図である。なお、本実施形態において、上述した第 3 実施形態の構成と同等であるものについては図面に同一の符号を付している。以下には第 3 実施形態との相違点を中心に説明する。

#### 【0068】

すなわち、半導体装置 61 は、第 3 実施形態の各回路（ジッター発生回路 52

、CPU53、シリアルIO54、RAM55、カウンタ56、タイマー57、  
パラレルIO58)に加えて、分周回路62、63を備える。

#### 【0069】

半導体装置61において、外部からのクロック信号CLKが分周回路62に入  
力されている。分周回路62は、クロック信号CLKを所定の分周比で分周して  
、クロック信号CLKよりも低周波数であるクロック信号CLK1を出力する。  
分周回路62から出力されたクロック信号CLK1は、ジッター発生回路52に  
入力される。ジッター発生回路52は、分周回路62からのクロック信号CLK  
1に対してジッターを付加し、クロック信号GCLK1をカウンタ56、タイマ  
ー57、分周回路63に供給する。

#### 【0070】

分周回路63は、クロック信号GCLK1を所定の分周比で分周して、クロッ  
ク信号GCLK1よりも低周波数であるクロック信号GCLK2を出力する。そ  
のクロック信号GCLK2は、パラレルIO58に入力される。

#### 【0071】

半導体装置61におけるCPU53、シリアルIO54、RAM55は外部か  
ら入力されるクロック信号CLKに基づき高速に動作する。また、カウンタ56  
及びタイマー57は、ジッターが付加されたクロック信号GCLK1に基づいて  
低速に動作する。さらに、パラレルIO58は、クロック信号GCLK2に基づ  
いて、カウンタ56及びタイマー57よりも低速に動作する。

#### 【0072】

すなわち、本実施形態において、第2内部回路(カウンタ56、タイマー57  
、パラレルIO58)は、第1内部回路(CPU53、シリアルIO54、RA  
M55)よりも動作速度の遅い回路であり、第2内部回路を動作させるためのク  
ロック信号GCLK1、GCLK2にジッターが付加されている。この場合、ク  
ロック信号GCLK1、GCLK2は、クロック信号CLKよりも周波数が低い  
ため、より大きなジッターを付加することができる。よって、半導体装置61の  
放射ノイズを効果的に低減することができる。

#### 【0073】

(第5実施形態)

図10は、第5実施形態の半導体装置65を示す構成図である。なお、同図において、上述した第4実施形態の構成と同等であるものについては同一の符号を付している。以下には第4実施形態との相違点を中心に説明する。

【0074】

本実施形態の半導体装置65は、2つのジッター発生回路52、66を備えており、内部回路の動作速度に応じてクロック信号に付加するジッターの量を異ならせるよう構成している。

【0075】

詳しくは、半導体装置65において、分周回路62から出力されるクロック信号CLK1が分周回路63に入力されている。分周回路63は、クロック信号CLK1を所定の分周比で分周して、クロック信号CLK1よりも低周波数であるクロック信号CLK2を出力する。

【0076】

ジッター発生回路52は、分周回路62からのクロック信号CLK1に対してジッターを付加し、クロック信号GCLK1をカウンタ56やタイマー57に供給する。一方、ジッター発生回路66は、分周回路63からのクロック信号CLK2に対してジッターを付加し、クロック信号GCLK2をパラレルIOに供給する。ここで、ジッター発生回路66は、ジッター発生回路52よりも大きなジッターを付加する。


【0077】

半導体装置65によれば、内部回路の動作速度に応じた的確なジッターをクロック信号CLK1、CLK2に付加することができる。またこの場合、ジッターを付加したクロック信号GCLK1、GCLK2に基づいて動作する内部回路の割合を増やすことが可能となる。よって、半導体装置65の放射ノイズをより効果的に低減することができる。

【0078】

上記各実施形態は、次に示すように変更することもできる。

・半導体装置51、61、65のジッター発生回路52、66に、内部回路の



動作状態に応じてジッター量を調節する機能を設けてもよい。

**【0079】**

具体的には、第3実施形態のジッター発生回路52にジッターの量を調節する機能を設けた場合について以下に説明する。

図11に示すように、半導体装置51aにおけるジッター発生回路52は、第1発生部52aと第2発生部52bとを含み、CPU53から出力されるモード信号MODEに基づいて、各発生部52a, 52bのいずれか一方が活性化される。ジッター発生回路52において、第1発生部52aが活性化されるときには、小さなジッターがクロック信号CLKに付加され、第2発生部52bが活性化されるときには、大きなジッターがクロック信号CLKに付加されるようになっている。

**【0080】**

半導体装置51aの動作モードとしては、テストモード、スリープモード、高速動作モード、低速動作モード等の各種の動作モードがある。CPU53は、その時々動作モードを判定し、その動作モードに応じたモード信号MODEを出力する。例えば、半導体装置51aにおける動作モードが高速動作モードから低速動作モードに移行する場合、CPU53から出力されるモード信号MODEがHレベルからLレベルに反転される。そして、モード信号MODEに基づいて、ジッター発生回路52の第1発生部52aが非活性化されるとともに第2発生部52bが活性化される。これにより、クロック信号CLKには大きなジッターが付加されるようになる。

**【0081】**

このように、半導体装置51aの動作状態に応じてジッター量を調節することにより、半導体装置51aの放射ノイズを効果的に低下させることができる。また、半導体装置51aの試験時に、テスト用のモード信号に基づいてジッター量を切り換えることにより、その試験を容易に行うことができる。

**【0082】**

・図12に示す半導体装置51bのように、電源電圧に応じてジッター量を調節するよう構成してもよい。すなわち、半導体装置51bには、CPU53等の



各回路に供給される電源電圧を監視する電源電圧監視回路 59 が設けられており、電源電圧のレベルに応じた制御信号 CON が電源電圧監視回路 59 から出力される。この制御信号 CON に基づいて、各発生部 52a, 52b のいずれか一方が活性化される。

#### 【0083】

例えば、電源電圧が所定値よりも低下したときに制御信号 CON は L レベルから H レベルに反転される。そして、その制御信号 CON に基づいて、ジッター発生回路 52 の第 1 発生部 52a が活性化されるとともに第 2 発生部 52b が非活性化される。これにより、クロック信号 CLK には小さなジッターが付加されるようになる。つまり、半導体装置 51b が低電圧状態で動作するときには、クロック信号 CLK に付加するジッター量が低減され、半導体装置 51b が高電圧状態で動作するときには、クロック信号 CLK に付加するジッター量が増加される。

#### 【0084】

半導体装置 51b が低電圧状態となる場合、放射ノイズが小さくなり、回路の動作速度マージンが減少する。そのため、ジッター量を小さくすることで回路誤動作を防止することができる。一方、半導体装置 51b が高電圧状態となる場合には、放射ノイズが大きくなり、回路の動作速度マージンが増大する。そのため、ジッター量を大きくすることで、放射ノイズを効果的に低減することができる。

#### 【0085】

さらに、半導体装置 51a, 51b において、クロック信号 CLK の周波数を検知する検出回路を設け、その検出結果によりジッター量を調節するように構成してもよい。また、半導体装置 51a, 51b において、CPU 53 が取得した電源電圧に関する情報等によりジッター量を調節するように構成してもよい。

#### 【0086】

半導体装置 51a, 51b のジッター発生回路 52 は、2 つの発生部 52a, 52b を備え、クロック信号 CLK に付加するジッター量を 2 段階で切り換える構成であるが、3 つ以上の複数の発生部を備え、ジッター量を多段階で切り換

える構成としてもよい。また、ジッター発生回路には、外部から入力される設定信号に応じて任意のジッター量を調節できるものも実用化されている。そのジッター発生回路を用いる場合、各動作モードに応じた設定信号によりジッター量を調節するよう構成してもよい。

#### 【0087】

・第5実施形態の半導体装置65は、2つのジッター発生回路52、66を備え、各ジッター発生回路52、66では、ジッターを付加していない正確なクロック信号CLK1、CLK2に対して異なるジッターを付加する構成であるが、これに限定されるものではない。例えば、図13に示す半導体装置65aのように、第1ジッター発生回路52でジッターを付加したクロック信号に対して第2ジッター発生回路66aで更にジッターを付加するように構成してもよい。つまり、半導体装置65aにおける第2ジッター発生回路66aは、クロック信号のジッター量を増加させるジッター増加回路として機能する。

#### 【0088】

この半導体装置65aによれば、それぞれ独立してジッターを発生させる半導体装置65と比較して、第2ジッター発生回路66aの回路規模を小さくすることが可能となる。また、カウンタ56及びタイマー57を動作させるためのクロック信号GCLK1のジッター量と、パラレルIO58を動作させるためのクロック信号GCLK2のジッター量とを確実に異ならせることができる。

#### 【0089】

・半導体装置65、65aでは、2つのジッター発生回路52、66を設けるものであるが、3つ以上の複数のジッター発生回路を設けてもよい。

以上のような実施の形態をまとめると、以下のようになる。

(付記1) 一定周期で電圧レベルが変化する基準入力信号を入力し、該基準入力信号にジッターを付加して出力するジッター発生回路であって、

前記基準入力信号に応じて、出力を第1レベルまたは第2レベルに変化させる回路を含み、該回路は、しきい値電圧を切り替え可能に形成され、そのしきい値電圧の切り替えにより、ジッターを付加した出力信号を出力することを特徴とするジッター発生回路。

(付記2) ヒステリシス特性を持つヒステリシスインバータ回路と、

ヒステリシス特性を持たないインバータ回路と、

前記出力信号を出力するための出力端子と前記各インバータ回路との間に設けられたスイッチ回路と

を備え、前記スイッチ回路により、前記出力端子に接続するインバータ回路を切り替えることを特徴とする付記1に記載のジッター発生回路。

(付記3) 複数のトランジスタにより構成されたヒステリシスインバータ回路と

前記ヒステリシスインバータ回路にてヒステリシスを持たすために設けられたトランジスタを該インバータ回路から切断するためのスイッチと

を備えたことを特徴とする付記1に記載のジッター発生回路。

(付記4) しきい値電圧が異なる複数のゲート回路を並列接続し、

前記出力信号を出力するための出力端子と前記各ゲート回路との間に設けたスイッチ回路によって、各ゲート回路のいずれか1つを選択的に前記出力端子に接続するようにしたことを特徴とする付記1に記載のジッター発生回路。

(付記5) 付記1～4のいずれかに記載のジッター発生回路と、該ジッター発生回路から出力される出力信号に基づいて動作する内部回路とを備えたことを特徴とする半導体装置。

(付記6) 前記基準入力信号としてのクロック信号を生成するクロック生成回路と、該クロック生成回路と前記ジッター発生回路との間に設けられ、矩形波状に変化する前記クロック信号を正弦波状にするための回路とを備えたことを特徴とする付記5に記載の半導体装置。

(付記7) 前記基準入力信号としてのクロック信号を生成するクロック生成回路と、前記クロック信号生成回路にて生成した基準入力信号に基づいて、選択信号を生成する選択信号生成回路とを備え、該選択信号により前記しきい値電圧を切り替えるようにしたことを特徴とする付記5に記載の半導体装置。

(付記8) 付記1～4のいずれかに記載のジッター発生回路と、

前記ジッター発生回路への入力信号となるクロック信号が供給される第1内部回路と、

前記第1内部回路よりも動作タイミングに余裕がある回路であり、前記ジッター発生回路においてジッターが付加されたクロック信号が供給される第2内部回路と

を備えたことを特徴とする半導体装置。

(付記9) クロック信号を入力し、該クロック信号にジッターを付加して出力するジッター発生回路と、

前記ジッター発生回路への入力信号となるクロック信号が供給される第1内部回路と、

前記第1内部回路よりも動作タイミングに余裕がある回路であり、前記ジッター発生回路においてジッターが付加されたクロック信号が供給される第2内部回路と

を備えたことを特徴とする半導体装置。

(付記10) 前記第1内部回路を動作させるための第1クロック信号を分周し、該第1クロック信号よりも低い周波数である第2クロック信号を生成して前記ジッター発生回路に入力する分周回路を備えたことを特徴とする付記8又は9に記載の半導体装置。

(付記11) 前記ジッター発生回路を複数備え、該各ジッター発生回路においてクロック信号に付加するジッターの量を異ならせるようにしたことを特徴とする付記8～10のいずれかに記載の半導体装置。

(付記12) 前記ジッター発生回路は、内部回路の動作状態に応じてクロック信号に付加するジッターの量を調節する機能を有することを特徴とする付記8～11のいずれかに記載の半導体装置。

(付記13) 前記ジッター発生回路のジッター量は、前記内部回路への電源電圧に応じて調節されることを特徴とする付記12に記載の半導体装置。

(付記14) 前記ジッター発生回路のジッター量は、前記内部回路の動作速度に応じて調節されることを特徴とする付記12に記載の半導体装置。

(付記15) クロック信号に対してジッターを付加する第1ジッター発生回路と、そのジッターを付加したクロック信号に対して更にジッターを付加する第2ジッター発生回路とを備えることを特徴とする付記11に記載の半導体装置。

(付記 16) 第 1 ジッター発生回路と、該第 1 ジッター発生回路よりも周波数が低いクロック信号が入力される第 2 ジッター発生回路とを備え、前記第 2 ジッター発生回路は、前記第 1 ジッター発生回路よりも大きなジッターを付加することを特徴とする付記 11 に記載の半導体装置。

【0090】

【発明の効果】

以上詳述したように、本発明によれば、的確なジッターを付加することで半導体装置の放射ノイズを効果的に低減することができる。

【図面の簡単な説明】

- 【図 1】 第 1 実施形態の半導体装置を示す構成図である。
- 【図 2】 同実施形態のジッター発生回路の動作波形図である。
- 【図 3】 第 2 実施形態のジッター発生回路を示す回路図である。
- 【図 4】 同実施形態のジッター発生回路の動作波形図である。
- 【図 5】 別例のジッター発生回路を示す回路図である。
- 【図 6】 別例のジッター発生回路を示す回路図である。
- 【図 7】 CR 回路を示す回路図である。
- 【図 8】 第 3 実施形態の半導体装置を示す構成図である。
- 【図 9】 第 4 実施形態の半導体装置を示す構成図である。
- 【図 10】 第 5 実施形態の半導体装置を示す構成図である。
- 【図 11】 別例の半導体装置を示す構成図である。
- 【図 12】 別例の半導体装置を示す構成図である。
- 【図 13】 別例の半導体装置を示す構成図である。
- 【図 14】 従来の半導体装置を示す構成図である。

【符号の説明】

- 1, 51, 51a, 51b, 61, 65, 65a 半導体装置
- 3, 11, 21, 31, 52, 66, 66a ジッター発生回路
- 3c, 11c, 21c, 31c 出力端子
- 5 内部回路
- 6 ゲート回路としてのインバータ回路

7 ゲート回路としてのヒステリシスインバータ回路

8 スイッチ回路

22, 23 ゲート回路としてのナンド回路

32, 33 ゲート回路としてのインバータ回路

34 スイッチ回路

62, 63 分周回路

CLK, CLK1, CLK2 クロック信号

CLKIN 基準入力信号としての入力クロック信号

CLKOUT 出力信号としての出力クロック信号

GCLK, GCLK1, GCLK2 クロック信号

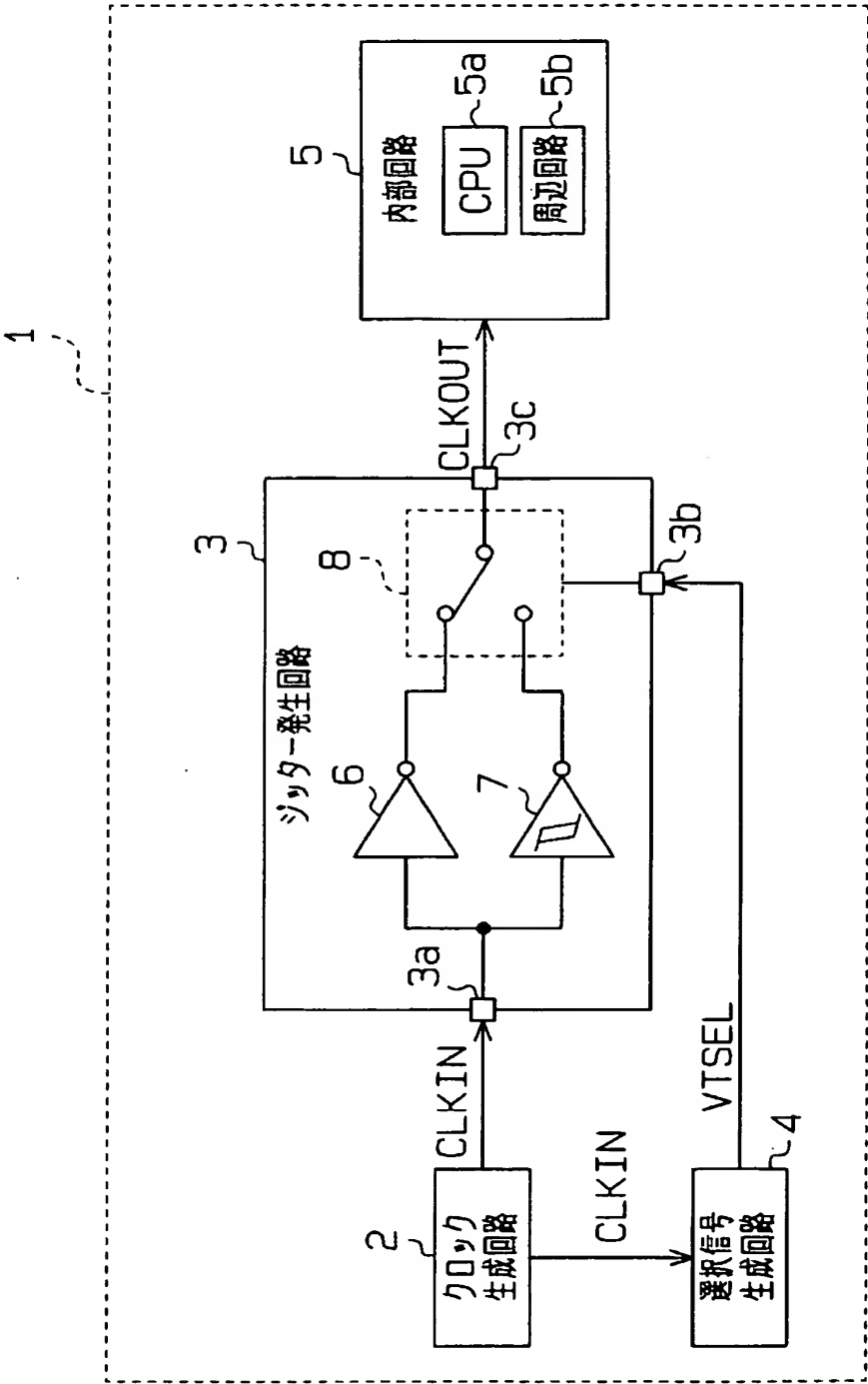
TN1～TN4 NチャネルMOSトランジスタ

TP1～TP4 PチャネルMOSトランジスタ

【書類名】 図面

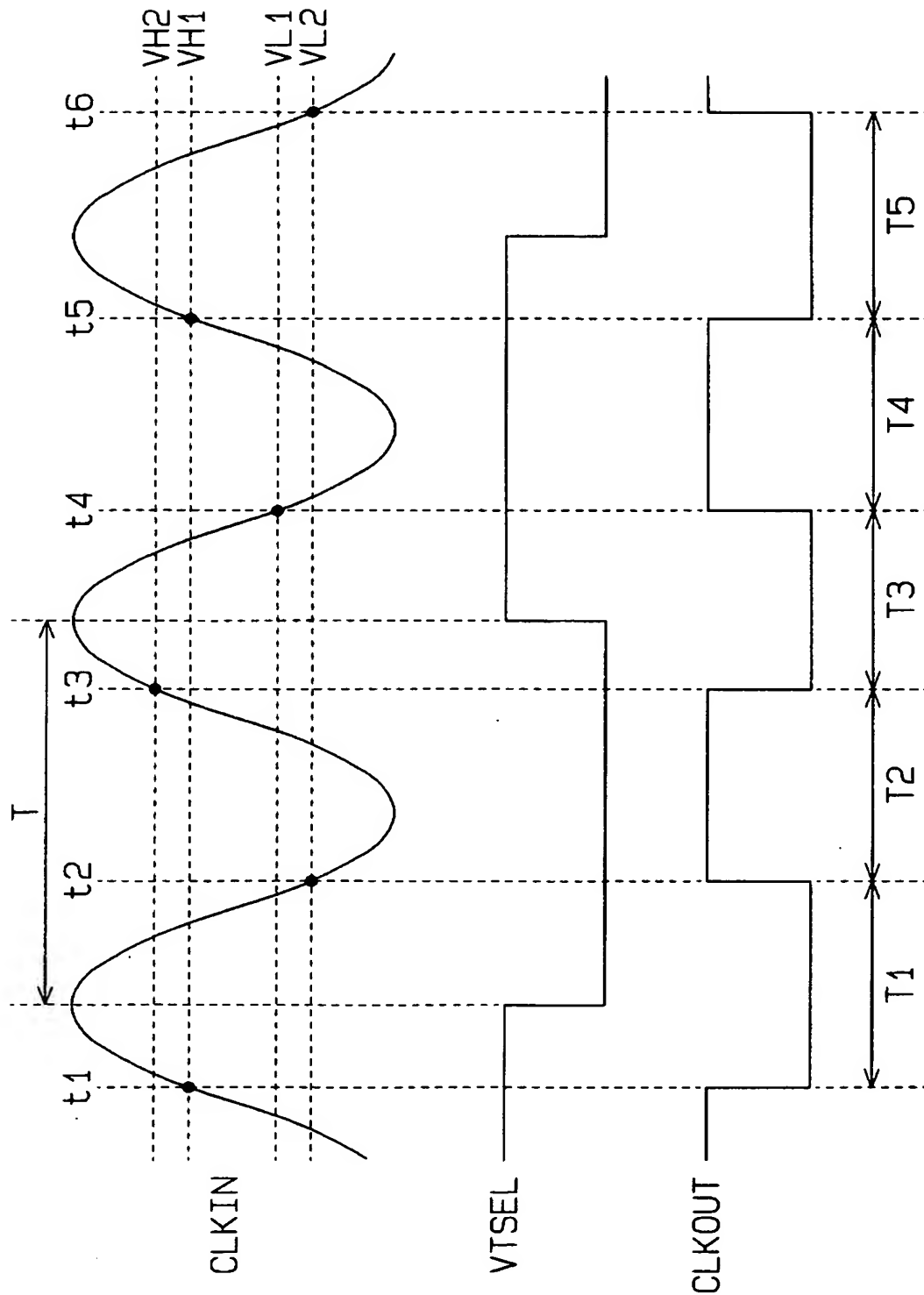
【図 1】

第1実施形態の半導体装置を示す構成図



【図 2】

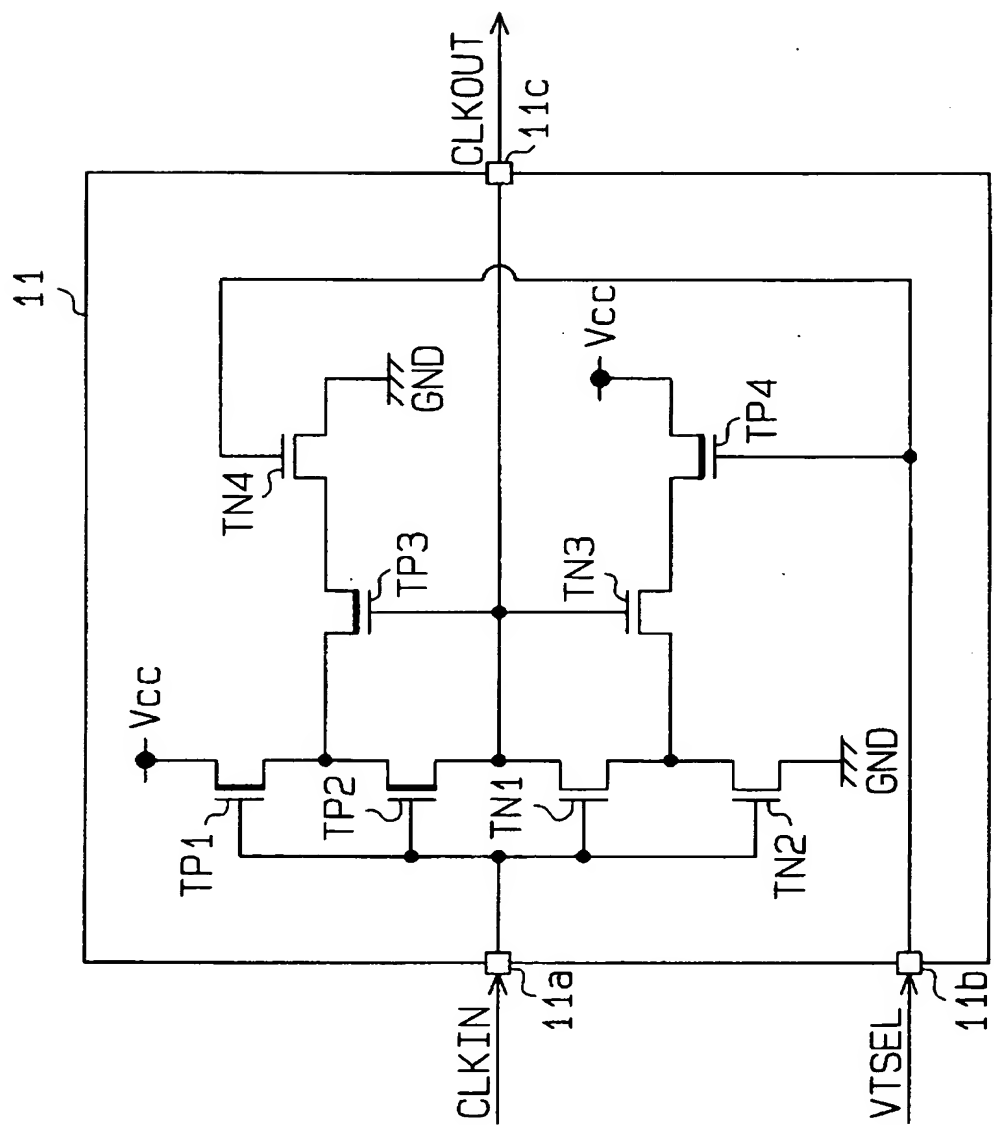
第1実施形態のジッター発生回路の動作波形図





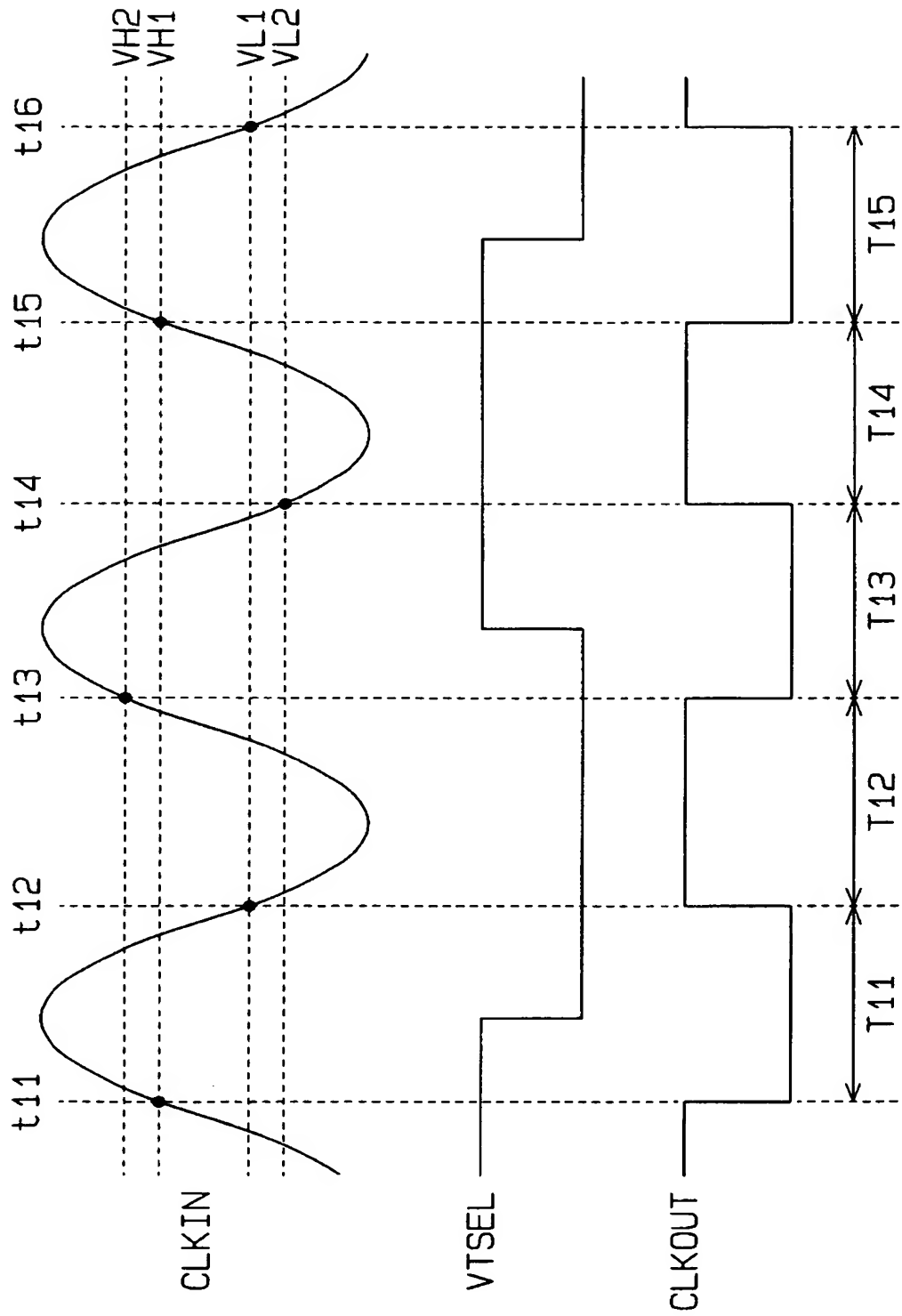
【図 3】

第2実施形態のジッター発生回路を示す回路図



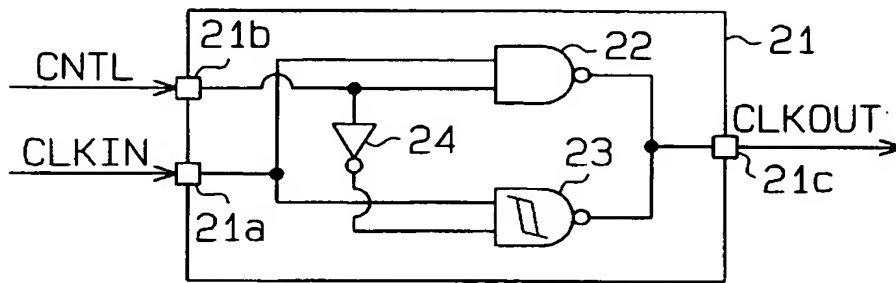
【図 4】

第2実施形態のジッター発生回路の動作波形図



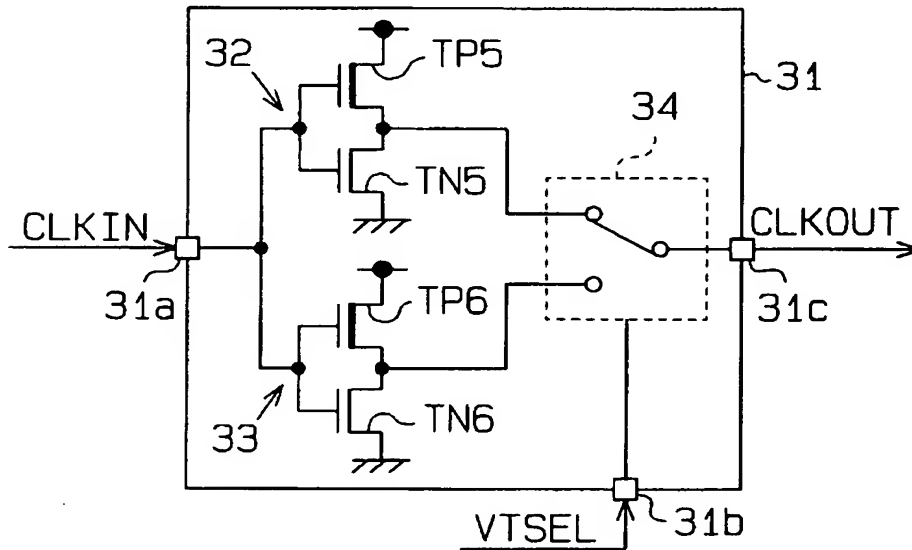
【図 5】

別例のジッター発生回路を示す回路図



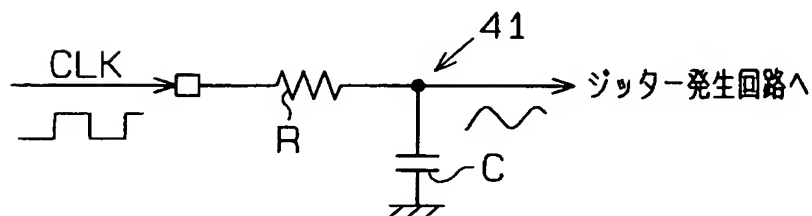
【図 6】

別例のジッター発生回路を示す回路図



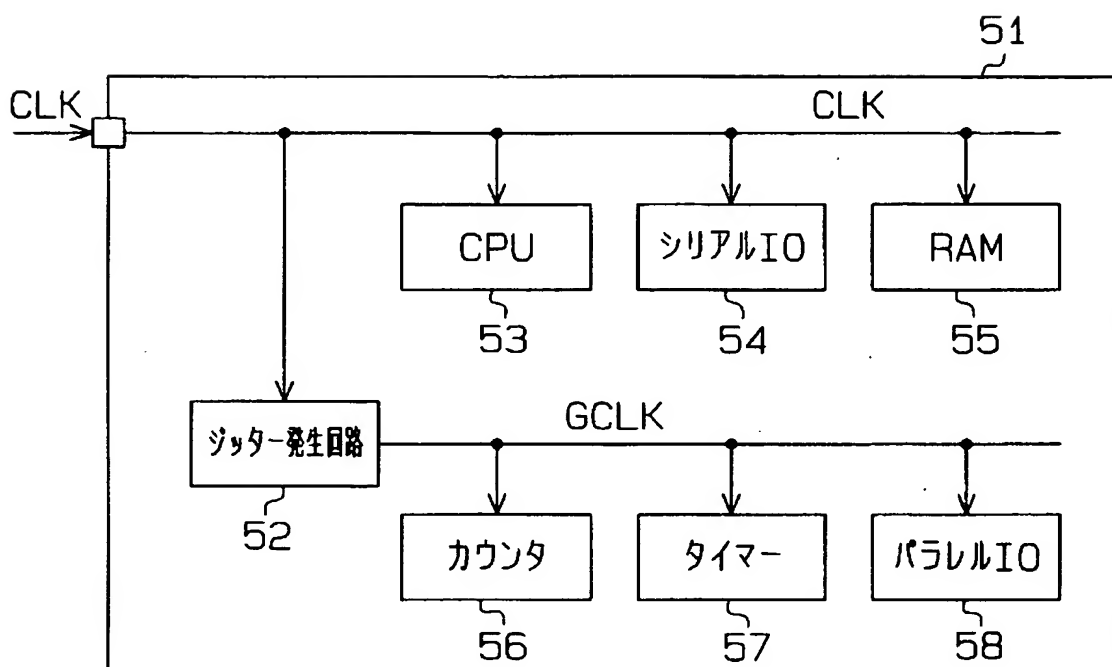
【図 7】

CR回路を示す回路図



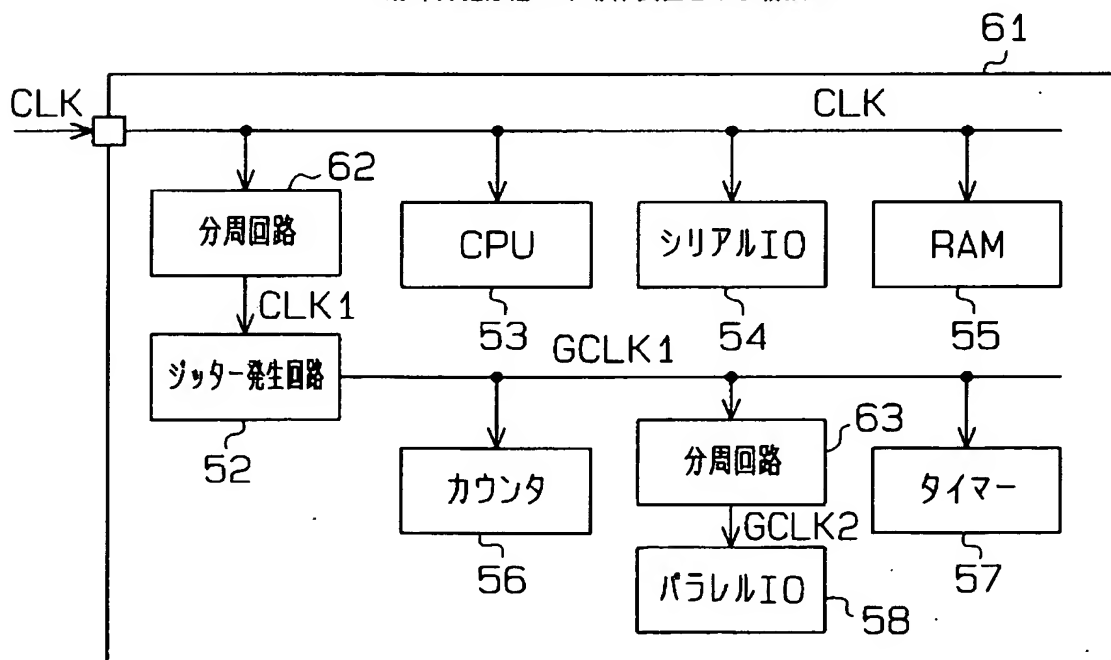
【図 8】

第3実施形態の半導体装置を示す構成図



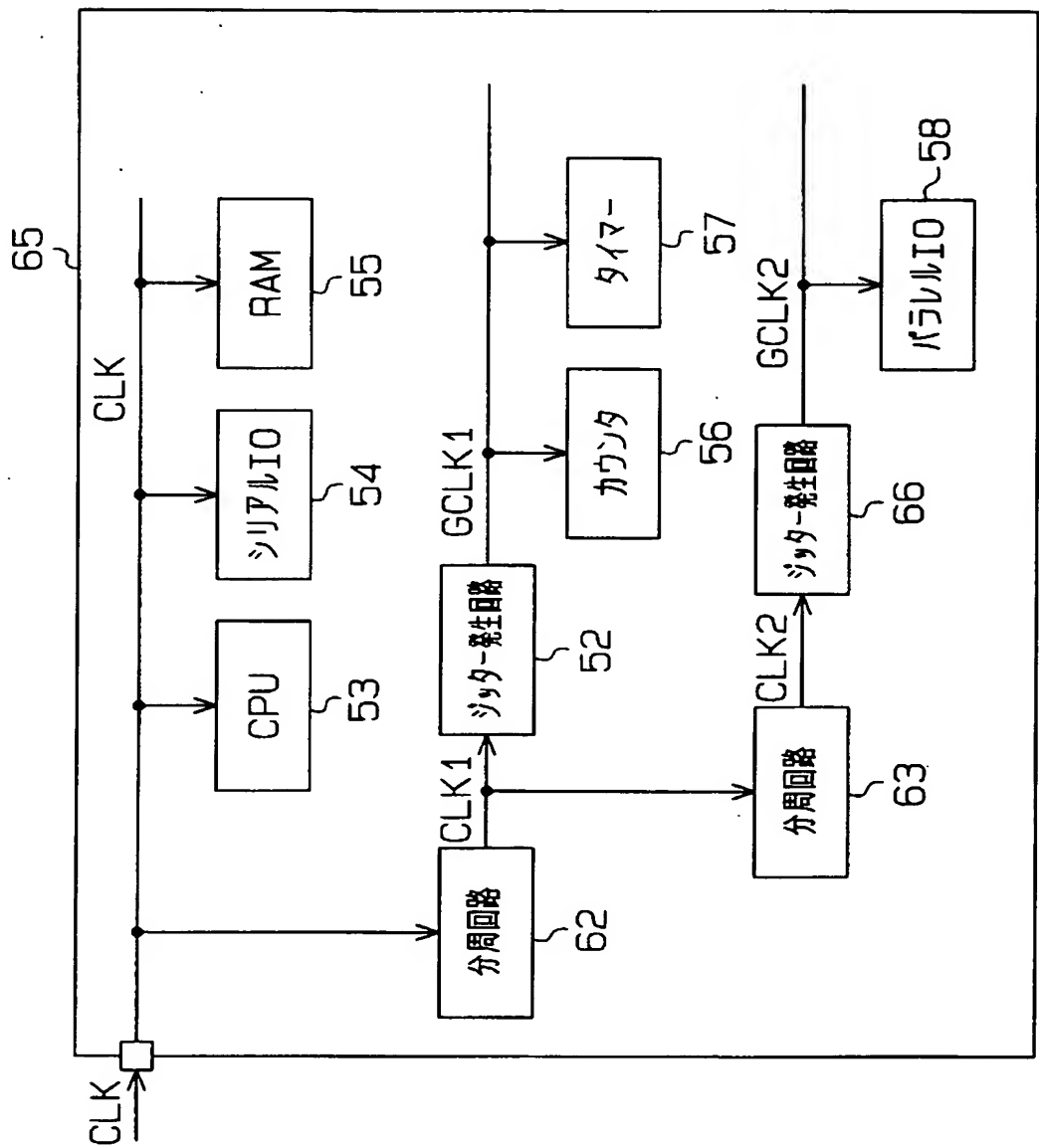
【図 9】

第4実施形態の半導体装置を示す構成図



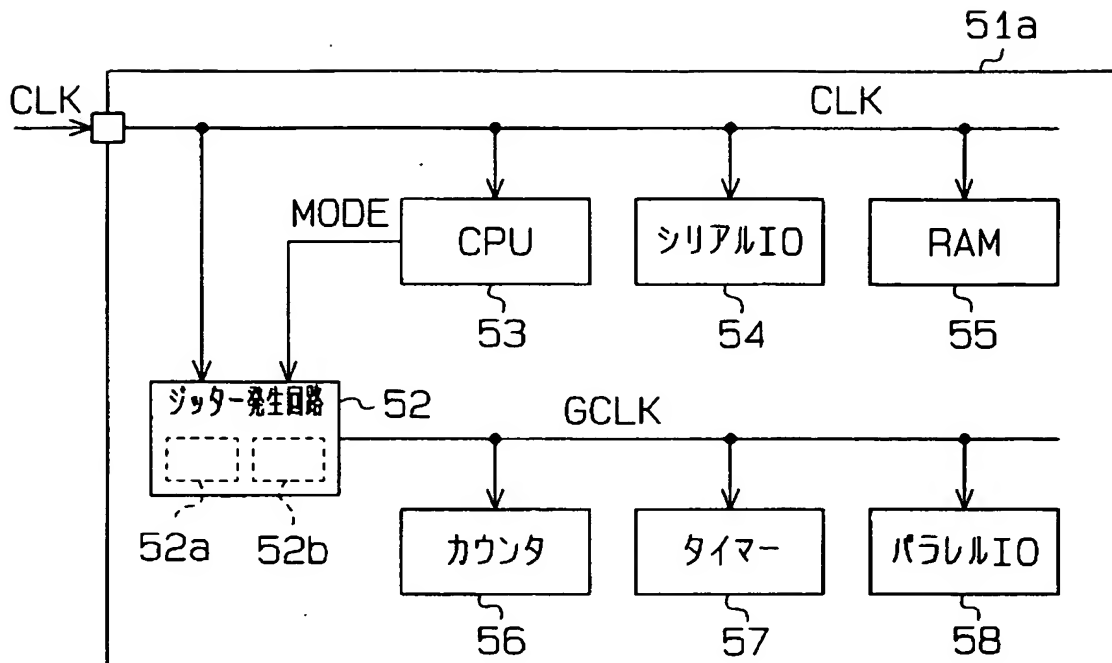
【図10】

第5実施形態の半導体装置を示す構成図



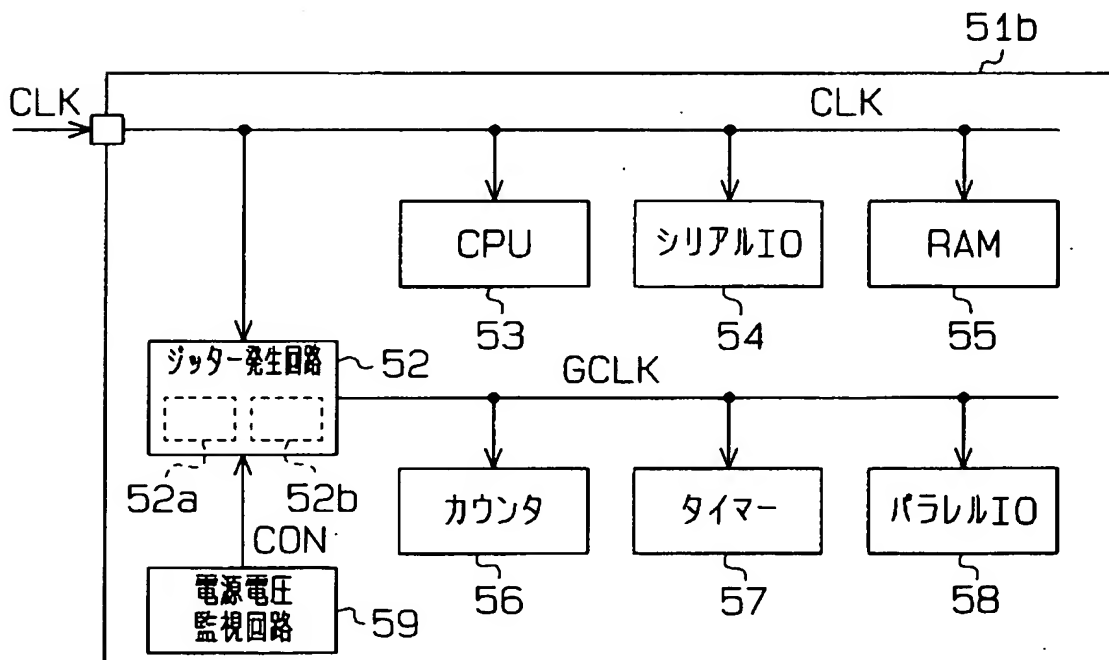
【図 11】

別例の半導体装置を示す構成図



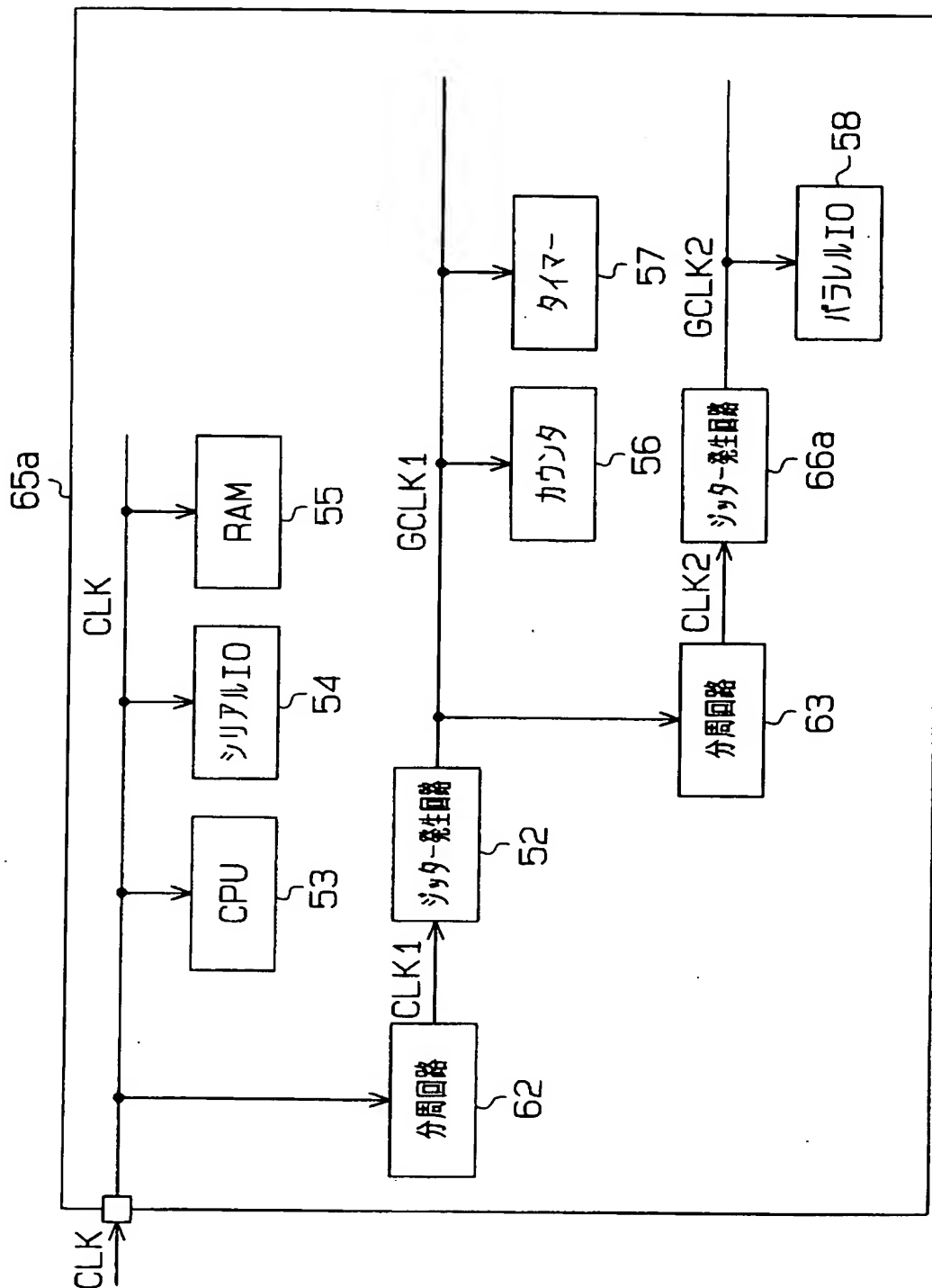
【図 12】

別例の半導体装置を示す構成図



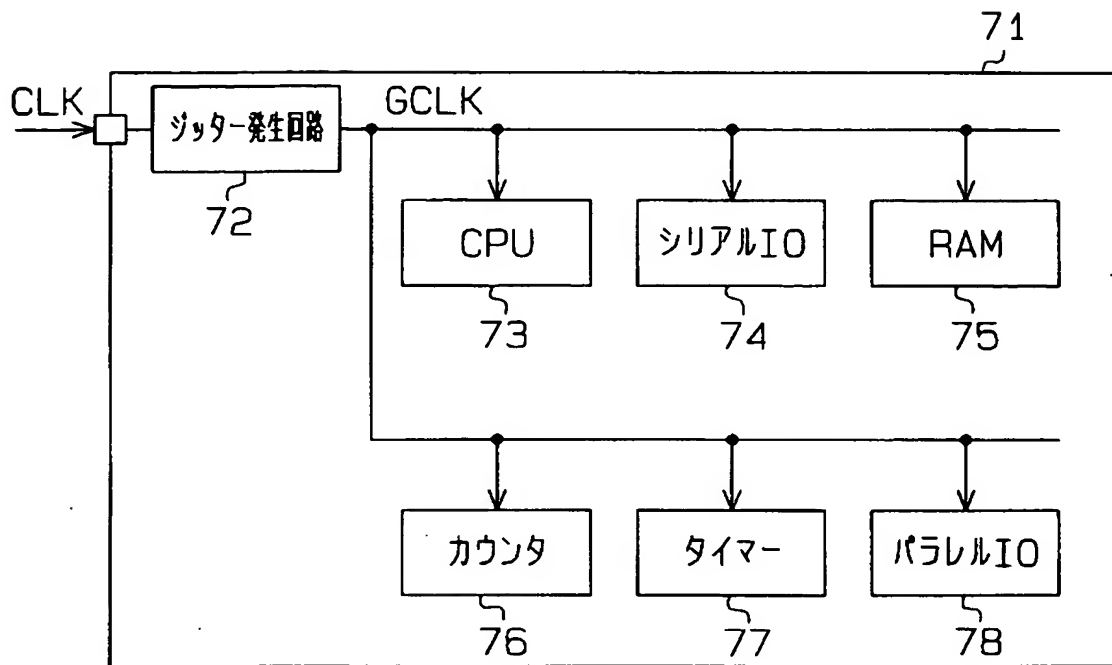
【図 13】

別例の半導体装置を示す構成図



【図 14】

従来の半導体装置を示す構成図





【書類名】 要約書

【要約】

【課題】 的確なジッターを付加して放射ノイズを効果的に低減できるジッター発生回路を提供すること。

【解決手段】 ジッター発生回路 3 は、インバータ回路 6、ヒステリシスインバータ回路 7、スイッチ回路 8 を備える。スイッチ回路 8 はインバータ回路 6、7 のいずれか一方を選択的に出力端子 3 c に接続する。スイッチ回路 8 の接続位置によりしきい値電圧が切り替えられ、出力端子 3 c からジッターを付加した出力クロック信号 CLKOUT が出力される。

【選択図】 図 1



特願 2003-061126

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社